

Ohjeistus lähetettävistä tiedoista piirilevyn kalustusta varten

Tässä ohjeessa kuvataan JOPACOn yleisimmin tarvitsemat tiedostot piirilevyjen kalustusta varten sekä asiat, jotka tiedoista tulee ilmetä. Lähetä meille työstä kaikki se tieto, jonka yrityksenne sallii. Käsittelemme kaikkea työtä koskevaa informaatiota luottamuksellisesti, eikä tietoa välitetä koskaan kolmannelle osapuolelle ilman asianmukaista lupaa.

Hyvät tiedostot työstäsi ovat avain onnistuneeseen lopputulokseen sekä tuotteen nopeaan läpime-
noaikaan. Jotta voimme toteuttaa työn mahdollisimman sulavasti, tarvitsemme seuraavat tiedostot piirilevystäsi:

- Osaluettelo
- Osasijoittelukuva
- Ladontatiedot
- GERBER-tiedostot
- Muu erityisohjeistus

I. Osaluettelo

Osaluettelon tarkoituksena on kuvata kaikki piirilevylle kalustettavat osat täsmällisesti sekä kertoa jokaisen osan paikka piirilevyllä (Esim. R13, C1002 jne.). Mikäli JOPACO hankkii työssä käytetyt osat, perustuu hankinnat tässä taulukossa ilmoitettuihin tietoihin. Osaluettelon tulee olla sähköisessä muodossa, mieluiten MS Excel-tilukkona, josta käy ilmi vähintään seuraavat asiat:

- Positio piirilevyllä (Reference designator)
- Kappalemäärä
- Osan kuvaus (arvo, materiaalivaatimukset, tehonkesto, tarkkuus jne.)
- Tarkka valmistajan koodi osalle (mikäli rajoitettu tiettyyn valmistajaan.)
- Kotelotyyppi
- Valmistajan nimi

#	Ref. Des.	QTY.	Description	Value	Part Number	Case type	Manufacturer	Notes
1	R1, R3, R7	3	Chip Resistor 0.25W 1%	330kΩ	Any	0805	Any	
2	C1, C2	2	Chip Capacitor X7R 50V 10%	100nF	Any	1206	Any	
3	C3, C4	2	Low ESR Tantalum Capacitor 16V 20%	2.2uF	EEEF1C220AR	CASE-D	Panasonic	
4	IC1	1	8-bit 128kB FLASH Microcontroller	ATMEGA128-16AU	ATMEGA128-16AU	TQFP64	Atmel	
5	U1	1	Switched Mode Voltage Regulator	LM3578AM	LM3578AM	SO8	National Semiconductor	Alternative: LM3578AN
6	XTAL1	1	Crystal Oscillator 24.5535MHz	24.5535MHz	CFPT-9301-FX-A	HC49	Rakon	Farnell Part Number: 1272089
7	J1	1	Through Hole Programming Header Connector 14-pin 2,54mm Tin	16-675-191T	16-675-191T	NA	Aries Electronics	
8	U2	1	Operational Amplifier	LM741J	LM741J	CDIP8	National Semiconductor	
9	R2, R4, R3	3	NOT ASSEMBLED	NA	NA	1206	NA	
10	C7	1	NOT ASSEMBLED	NA	NA	CASE-D	NA	

Kuva 1. Osaluettelo.

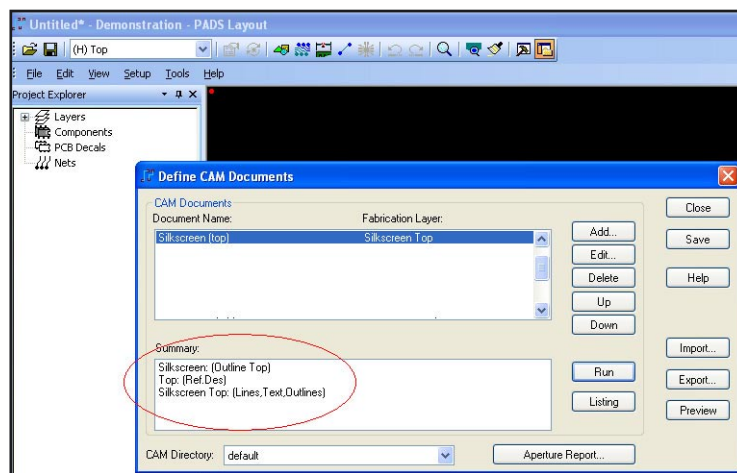
Myös ne positiot piirilevyllä, joihin ei ole tarkoituksena kalustaa JOPAColla mitään, tulee merkitä osaluetteloon esimerkiksi korostamalla ne **punaisella värillä** selkeyden ja virhemahdollisuuksien minimoimiseksi.

Komponenttien ladonta piirilevylle perustuu ensisijaisesti osaluetteloon, joten sen tekemisessä on tärkeää olla tarkkana.

2. Osasijoittelukuva

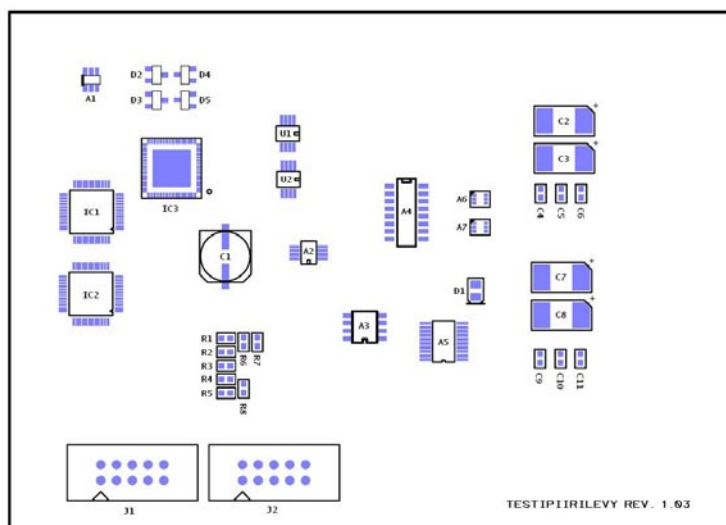
Osasijoittelukuvan tarkoituksena on antaa ladontakoneen operaattorille tarvittava tieto, jotta kaikki osat piirilevyllä ovat varmasti oikein päin ja oikeilla paikoilla asiakkaan toiveiden mukaisesti. Osasijoittelukuva on hyvä olla esim. PDF-formaatissa. Tiedostosta tulee käydä ilmi suunnallisten komponenttien ykköspinnin paikka sekä komponenttien positiot piirilevyllä. Position perusteella pystymme yhdistämään osaluettelossa kuvatut osat ja niiden paikat piirilevyllä toisiinsa.

Osasijoittelukuva saadaan tyypillisesti ajamalla suunnitteluohjelmasta kuva piirilevyn silkscreen -kerroksesta (*Pads Layout: File -> CAM...*). Tiedoston tulee sisältää alla olevassa kuvassa näkyvät optiot:



Kuva 2. Osasijoittelutiedoston optiot.

Katso esimerkki osasijoittelukuvasta:

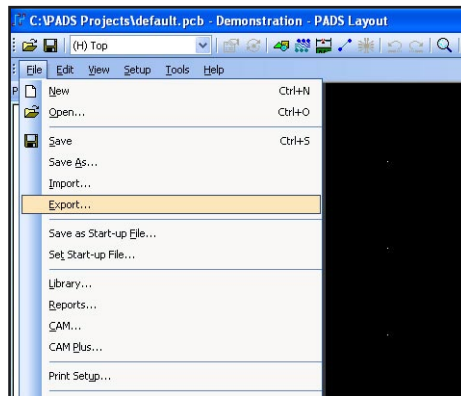


Kuva 3. Osasijoittelukuva

3. Ladontatiedot

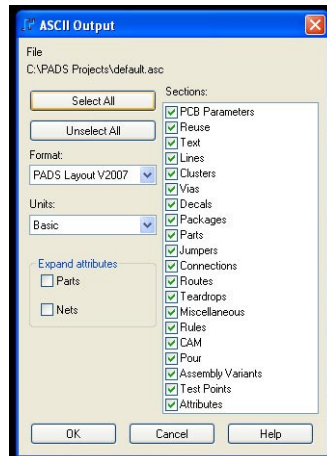
Ladontakoneen ladontapää tarvitsee tiedon paikasta, johon komponentti asennetaan. Tätä varten tarvitaan tieto jokaisen komponentin keskipisteen koordinaateista piirilevyllä. Helpoimmin kyseisen tiedon saamme, mikäli voitte toimittaa meille piirilevyn suunnitteluohjelman Native CAD -tiedoston. Tällöin emme tarvitse erillistä centroid-tiedostoa, joka sisältää tarvittavat koordinaatit.

Native CAD -tiedosto saadaan esimerkiksi PADS Layout -ohjelmasta kohdasta *File -> Export... -> ASCII-file (.asc)*.



Kuva 4. Native CAD-tiedosto.

Valitsemalla "Export ASCII file", avautuu *ASCII Output* -ikkuna. Tästä ikkunasta tulee valita kaikki *Sections* –kohdassa mainitut vaihtoehdot.



Kuva 5. ASCII.

Lista ohjelmistomme tukemista Native CAD -formaateista löytyy tämän dokumentin lopusta.

4. GERBER-tiedostot

GERBER –tiedostot saadaan suunnitteluohjelmasta tyypillisesti CAM-modulin kautta (*Pads Layout: File -> CAM...* Sama kuin kohdassa osasijoittelu). GERBER-tiedostojen voidaan ajatella olevan kuvia piirilevyn eri materiaalikerroksista. Jokainen suunnitteluohjelma tuottaa GERBER–tiedostoja, sillä piirilevyn ja stensiilin valmistajat käyttävät näitä tietoja valmistusvaiheessa.

Tarvittavat GERBER-muotoiset tiedostot ovat:

- **Paste mask (stensiilitiedosto)**
- **Copper (johdinkerrokset)**
- **Silkscreen (merkinnät piirilevyllä)**
- **Drill data (poraustiedostot)**
- **Solder mask (juotteenestomaski)**

Kaikkien yllä mainittujen tiedostojen tulisi sisältää myös piirilevyn ääriviivat. Mikäli kyseessä on kaksipuolinen ladonta, tarvitaan myös piirilevyn kääntöpuolesta vastaavat tiedostot.

5. Muu erityisohjastus

Mikäli tuotteen valmistus ja kokoonpano vaatii erityisiä toimenpiteitä, joita ei ole kuvattu aiemmin mainituissa dokumenteissa, tarvitsemme ohjeistuksen niiden suorittamiseen. Tällaisia ovat esimerkiksi testausohjeet, kasausohjeet, ohjelmointiohjeet, juotemateriaalivaatimukset, piirilevyn materiaalivaatimukset jne.

6. Lähetys

Edellä mainitut tiedostot voi lähettää sähköpostitse jopaco@jopaco.com. Aineisto voidaan myös pakata .zip -formaattiin.

Mikäli edellä mainittujen tiedostojen laatimisessa ilmenee epäselvyyksiä, ota meihin yhteyttä:

Puh. (03) 752 7806 tai Email: jopaco@jopaco.com

Autamme mielellämme kaikissa mahdollisissa ongelmatilanteissa. Täydellisten tiedostojen laatiminen tuotannon käynnistämisen vaiheessa on tyypillisesti hankalaa, joten tässäkin kommunikaatio toimii avainroolissa parhaimman mahdollisen lopputuloksen saavuttamiseksi.

Liite 1. Ohjelmistomme tukemat Native CAD-formaatit

Native CAD -tieto	Tiedoston päätte	Lisätietoa
Accel EDA, Accel Tango, Accel PCAD	.pdf	
Cadence Allegro via Aegis Script	.cad	Vaatii Aegis Scriptin, joka on saatavissa JOPACO:ltä
DIF(Desing Interchange Format), PADS DFT Audit and C-Link	.pdf	
EE Designer ASCII -tiedosto	.ala	
GenCad v. 1.4	.cad	CadSoft Eagle (vaatii gencad.ulp -lisäosan)
IPC-D-356	.net tai .356	
Mentor Graphics Neutral -tiedosto	.neu	
OrCad	.cad	
PADS PowerPCB, PADS Perform, PADS 2000-2007, PADS Work	.asc	
Pantheon PDB - tiedosto	ei päätettä	
P-CAD PDIF Design -tiedosto	.pcb	
SCI Cards Neutral -tiedosto	.cii	
Supermax CAD	.ipl	
Ultiboard	.cad	Käytä mukana toimitettua DDF2GenCAD -kääntäjää
Valor ODB++ CAD Project	.tar tai .tgz	mm. Altium Designer (Protel)
Zuken Visula and Cadstar	.paf	